

PATENT ABSTRACTS OF JAPAN

B02

(11)Publication number : 2000-298982

(43)Date of publication of application : 24.10.2000

(51)Int.Cl.

G11C 11/406

G11C 11/403

(21)Application number : 11-106813

(71)Applicant : FUJITSU LTD

(22)Date of filing : 14.04.1999

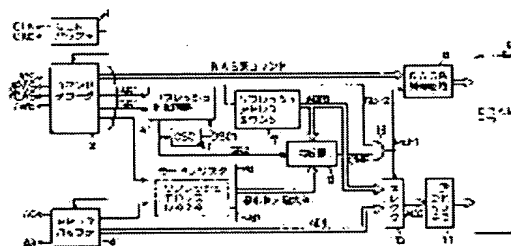
(72)Inventor : TAKEMAE YOSHIHIRO
MATSUZAKI YASURO

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce power consumption of refresh operation by providing a second refresh mode refreshing a part of a memory cell as necessary and refreshing only a required region.

SOLUTION: When a self-refresh command is supplied from the outside in an active state, a command decoder 2 generates a self-refresh command signal SR1, and a device is made a power-down state. A refresh control circuit starts an oscillator 5 by a control signal SR2, and generates periodically a refresh control signal REF2 supplied to a refresh address counter 7 and an AND gate 13 based on a generated clock signal. Address information of a memory cell to be refreshed is set externally to a refresh address register 61, and when an address in a specified range is generated in the refresh address counter 7, refreshing is performed only in a region required for holding this data.



LEGAL STATUS

[Date of request for examination]

26.09.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-298982

(P2000-298982A)

(43)公開日 平成12年10月24日(2000.10.24)

(51)Int.Cl.

識別記号

F 1

メモリー (参考)

G 1 1 C 11/406
11/403

G 1 1 C 11/34

3 6 3 J 5 B 0 2 4
3 6 3 M

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21)出願番号 特願平11-106813

(22)出願日 平成11年4月14日(1999.4.14)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 竹前 義博

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 松崎 康郎

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 100077517

弁理士 石田 敬 (外3名)

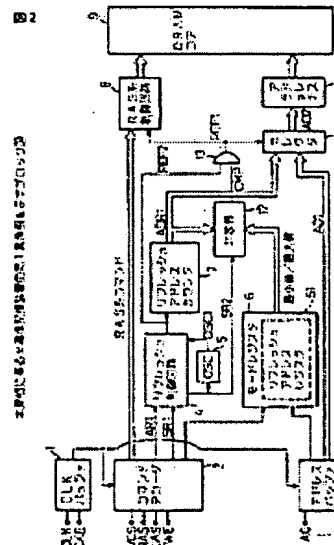
Fターム(参考) 5B024 AA01 BA29 CA16 DA14 DA18

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 パワーダウン状態でのリフレッシュ動作は、デバイス内部のオシレータ等によりクロックを発生して全てのメモリセルをリフレッシュするようになっているため、パワーダウン時の消費電力を低減することは困難であった。

【解決手段】 メモリセル9の記憶保持のために定期的なリフレッシュを必要とする半導体記憶装置であって、全てのメモリセルをリフレッシュする第1のリフレッシュモードと、少なくとも一部のメモリセルをリフレッシュする第2のリフレッシュモードとを備えるように構成する。



【特許請求の範囲】

【請求項 1】 メモリセルの記憶保持のために定期的にリフレッシュを必要とする半導体記憶装置であって、全てのメモリセルをリフレッシュする第1のリフレッシュモードと、少なくとも一部のメモリセルをリフレッシュする第2のリフレッシュモードとを備えることを特徴とする半導体記憶装置。

【請求項 2】 請求項 1に記載の半導体記憶装置において、該半導体記憶装置は、前記第2のリフレッシュモードでリフレッシュの対象となるメモリセルのアドレス情報を格納するリフレッシュアドレスレジスタを備えることを特徴とする半導体記憶装置。

【請求項 3】 請求項 2に記載の半導体記憶装置において、該半導体記憶装置は、リフレッシュアドレスを発生するリフレッシュアドレスカウンタと、前記リフレッシュアドレスおよび前記リフレッシュアドレスレジスタに格納された情報を比較する比較器とを備え、前記第1のリフレッシュモードにおいては、前記リフレッシュアドレスカウンタが発生する各リフレッシュアドレスに対してリフレッシュを行い、前記第2のリフレッシュモードにおいては、前記比較器の比較結果に従ってリフレッシュを行うことを特徴とする半導体記憶装置。

【請求項 4】 請求項 2に記載の半導体記憶装置において、該半導体記憶装置は、リフレッシュアドレスを発生するリフレッシュアドレスカウンタを備え、前記第1および第2のリフレッシュモードにおいては、前記リフレッシュカウンタが発生する各リフレッシュアドレスに対してリフレッシュを行い、前記第2のリフレッシュモードにおいては、前記リフレッシュアドレスレジスタに格納された情報に従って前記リフレッシュアドレスカウンタのカウント範囲を制限することを特徴とする半導体記憶装置。

【請求項 5】 請求項 2に記載の半導体記憶装置において、前記半導体記憶装置は、第1のリフレッシュアドレスをカウントするリフレッシュアドレスカウンタと、該リフレッシュアドレスカウンタの出力の少なくとも一部、および、前記リフレッシュアドレスレジスタに格納された情報から第2のリフレッシュアドレスを生成するリフレッシュアドレス生成器とを備え、前記第1のリフレッシュモードにおいては、前記第1のリフレッシュアドレスに対してリフレッシュを行い、前記第2のリフレッシュモードにおいては、前記第2のリフレッシュアドレスに対してリフレッシュを行うこと

を特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体記憶装置に関する。特に、メモリセルの記憶保持のために定期的なリフレッシュ動作を必要とするダイナミック型の半導体記憶装置に関する。近年、DRAM (Dynamic Random Access Memory) 等のダイナミック型半導体記憶装置は、半導体製造技術の進歩に伴って高集積化並びに大容量化されて来ている。このような半導体記憶装置において、アクティブ状態でのリフレッシュ動作は、外部からのリフレッシュコマンド入力に基づいて行われ、また、パワーダウン状態でのリフレッシュ動作は、デバイス内部のオシレータ等によりクロックを発生して行われ、さらに、リフレッシュするメモリセルのアドレスは、デバイスに備えられたリフレッシュアドレスカウンタにより自動的に発生されるようになっている。そして、このようなダイナミック型半導体記憶装置のリフレッシュ動作（セルフリフレッシュ動作）の消費電力をより一層低減することのできる半導体記憶装置の提供が要望されている。

【0002】

【従来の技術】 図1は従来の半導体記憶装置の一例を示すブロック図であり、シンクロナスDRAM (SDRAM) のリフレッシュ回路の構成を示すものである。図1において、参照符号101はクロックバッファ (CLK バッファ)、102はコマンドデコーダ、103はアドレスバッファ、104はリフレッシュ制御回路、105は発振器 (OSC)、そして、106はモードレジスタを示している。また、参照符号107はリフレッシュアドレスカウンタ、108はRAS系制御回路、109はDRAMコア、110はセレクト、そして、111はアドレスラッチを示している。

【0003】 図1に示す従来のSDRAM (半導体記憶装置) において、アクティブ状態の場合、外部からのリフレッシュコマンド (AUTO REFRESH) が入力されると、コマンドデコーダ102からリフレッシュコマンド信号AR1がリフレッシュ制御回路104に入力され、リフレッシュ制御回路104は、このリフレッシュコマンド信号AR1に基づいてリフレッシュ制御信号REF1を発生する。ここで、コマンドデコーダ102には、チップセレクト信号/CS、ロウアドレスストロブ信号/RAS、コラム アドレスストロブ信号/CAS、および、ライトイネーブル信号/WEが入力され、また、CLK バッファ101には、クロックCLK およびクロックイネーブル信号CKEが入力され、そして、アドレスバッファ103には、アドレス信号A0~Akが入力されている。なお、リフレッシュコマンド (AUTO REFRESH) は、例えば、クロックイネーブル信号CKEおよびロウアドレスストロブ信号/RAS等の組み合わせとして外部から与えられる。

【0004】リフレッシュアドレスカウンタ107は、リフレッシュ制御信号REF1が1回入力されるとアドレスを1つカウントアップするカウンタとして構成され、リフレッシュ制御信号REF1が入る毎にリフレッシュアドレスADR1を自動的に発生する。また、リフレッシュ制御信号REF1はセクタ110にも供給され、該セクタ110は、リフレッシュ制御信号REF1が入力されると、リフレッシュアドレスカウンタ107の出力であるリフレッシュアドレスADR1を選択し、また、それ以外の場合（リフレッシュ制御信号REF1が入力されない場合）には、アドレスバッファ103の出力である外部からのアドレスAD1を選択し、それぞれアドレスラッチ111に伝えるようになっていく。

【0005】なお、リフレッシュ制御信号REF1は、RAS系制御回路108にも供給され、アドレスラッチ111の出力により選択されたDRAMコア109のワード線に接続されたメモリセルに対してリフレッシュを行う。そして、DRAMコア109における全てのメモリセルの記憶を保持するために、決められた時間内に所定回数のリフレッシュコマンドを入力し、リフレッシュ動作を繰り返すようになっていく。

【0006】一方、パワーダウン状態の場合、まずアクティブ状態において外部からセルフリフレッシュコマンド（SELF REFRESH）が供給されると、コマンドデコーダ102がセルフリフレッシュコマンド信号SR1を発生してデバイス（半導体記憶装置）はパワーダウン状態になる。なお、セルフリフレッシュとは、リフレッシュ動作を継続するパワーダウンモードのことである。

【0007】リフレッシュ制御回路104は、セルフリフレッシュコマンド信号SR1が入力すると制御信号SR2により発振器（OSC）105を起動させ、発振器105が発生するクロック信号に基づいて周期的にリフレッシュ制御信号REF1を発生させる。なお、セクタ110およびRAS系制御回路108等の動作は、上述したアクティブ状態の場合のリフレッシュ動作と同様であるのでその説明は省略する。

【0008】なお、モードレジスタ106は、コマンドデコーダ102の出力およびアドレスバッファ103の出力を受け取り、例えば、SDRAMのバーストモードにおけるバースト長やコマンドが入力されてからデータが出力されるまでのレーテンシ等を保持する。

【0009】

【発明が解決しようとする課題】前述したように、従来のダイナミック型半導体記憶装置（SDRAM）は、アクティブ状態のリフレッシュ動作でもパワーダウン状態のリフレッシュ動作でも、DRAMコア109における全てのメモリセルをリフレッシュするようになっていく。

【0010】ところで、アプリケーションによっては、一時的に扱う情報は多くても、継続的に記憶しておく必要のある情報は少ないものもあり、従って、パワーダウン状態においては、DRAMコア109における一部のメモリセルのみのデータを保持しておけばよいといった場合が数多く存在する。具体的に、バッテリー駆動の携帯端末装置（例えば、携帯電話等）において、電源をオンにした状態における一部のデータだけを保持しておけば他の全ての情報を保持しておかなくてもよいといったものがある。

【0011】しかしながら、従来のダイナミック型半導体記憶装置では、DRAMコア109における全てのメモリセルをリフレッシュするようになっていくため、パワーダウン時の消費電力（例えば、数百 μ A程度）をより一層低減することは困難であった。特に、バッテリー駆動により使用する携帯端末装置等においては、例えば、パワーダウン時の消費電力が連続待機時間に直接影響を及ぼすため、消費電力の低減は非常に重要なものとなっている。なお、消費電力低減の要求は、バッテリー駆動の携帯端末装置ばかりでなく、ダイナミック型半導体記憶装置を使用する他の様々な機器においても必要とされている。

【0012】本発明は、上述した従来の半導体記憶装置が有する課題に鑑み、必要な領域だけをリフレッシュすることにより、リフレッシュ動作の消費電力を低減し、パワーダウン状態における消費電力を大幅に削減することを目的とする。

【0013】

【課題を解決するための手段】本発明によれば、メモリセルの記憶保持のために定期的にリフレッシュを必要とする半導体記憶装置であって、全てのメモリセルをリフレッシュする第1のリフレッシュモードと、少なくとも一部のメモリセルをリフレッシュする第2のリフレッシュモードとを備えることを特徴とする半導体記憶装置が提供される。

【0014】本発明の半導体記憶装置によれば、少なくとも一部のメモリセルをリフレッシュする第2のリフレッシュモードが設けられているため、必要な領域だけをリフレッシュしてリフレッシュ動作の消費電力を低減することができる。上述した本発明に係る半導体記憶装置において、リフレッシュアドレスレジスタをモードレジスタの一部として設け、リフレッシュアドレスレジスタとモードレジスタを同じレジスタとして構成することができる。また、リフレッシュアドレスレジスタに格納される情報は、第2のリフレッシュモードにおいてリフレッシュの対象となるアドレス範囲の最小値、最大値、或いは、最小値および最大値の両方としてもよい。さらに、リフレッシュアドレスレジスタに格納される情報は、第2のリフレッシュモードにおいてリフレッシュの対象となるメモリセルを全てリフレッシュするためのリ

フレッシュ動作の回数、リフレッシュアドレスカウンタの初期値、或いは、リフレッシュの対象となるメモリセルを全てリフレッシュするためのリフレッシュ動作の回数およびリフレッシュアドレスカウンタの初期値の両方としてもよい。なお、リフレッシュアドレスカウンタの初期値は、リフレッシュの対象となるアドレスの範囲の最小値または最大値としてもよい。

【0015】本発明の半導体記憶装置は、複数のメモリセルブロックを備え、リフレッシュアドレスレジスタに格納される情報は、第2のリフレッシュモードにおいてリフレッシュの対象となるメモリセルブロックを選択するアドレス情報であってもよい。さらに、本発明の半導体記憶装置は、複数のメモリセルブロックを備え、リフレッシュアドレスレジスタに格納される情報は、第2のリフレッシュモードにおいてリフレッシュの対象となるメモリセルブロックを選択するためのアドレス情報であってもよい。なお、リフレッシュアドレス生成器は、セクタを備えてもよい。

【0016】また、第1のリフレッシュモードは、外部からのタイミング信号に同期してリフレッシュを行い、第2のリフレッシュモードは、内部発生クロックに同期してリフレッシュを行うようにしてもよい。さらに、第2のリフレッシュモードにおけるリフレッシュ動作の頻度を、リフレッシュアドレスレジスタに設定されたリフレッシュ対象となるメモリセルの数に対応して変更してもよい。そして、第2のリフレッシュモードは、パワーダウン状態においてメモリセルのセルフリフレッシュを行うモードであってもよい。

【0017】

【発明の実施の形態】以下、図面を参照して、本発明に係る半導体記憶装置の実施例を詳述する。図2は本発明に係る半導体記憶装置の第1実施例を示すブロック図であり、シンクロナスDRAM (SDRAM) のリフレッシュ回路の構成を示すものである。図2において、参照符号1はクロックバッファ (CLKバッファ)、2はコマンドデコーダ、3はアドレスバッファ、4はリフレッシュ制御回路、5は発振器 (OSC)、そして、6はモードレジスタを示している。また、参照符号7はリフレッシュアドレスカウンタ、8はRAS系制御回路、9はDRAMコア、10はセクタ、11はアドレスラッチ、12は比較器、そして、13はANDゲートを示している。

【0018】図2に示す本発明の第1実施例の半導体記憶装置と前述した図1の従来の半導体記憶装置との比較から明らかなように、本第1実施例では、図1の従来例に対して、モードレジスタ6に設けられたリフレッシュアドレスレジスタ61、比較器12、および、ANDゲート13が追加されている。すなわち、図2に示す第1実施例のSDRAM (半導体記憶装置) において、リフレッシュアドレスレジスタ61には、セルフリフレッ

シュの対象となるメモリセルのアドレス範囲の最小値および最大値 (或いは、セルフリフレッシュの対象となるDRAMコア9におけるメモリセルブロックのブロック選択アドレス) が格納されている。これらリフレッシュアドレスレジスタ61に格納された最小値および最大値は、比較器12に供給されてリフレッシュアドレスカウンタ7の出力ADDR1と比較される。なお、本第1実施例では、リフレッシュアドレスレジスタ61は、モードレジスタ6と同じレジスタとして構成され (モードレジスタ6内に設けられ)、例えば、電源投入後のモードレジスタ設定時に外部からのコマンド信号 (\overline{CS} , \overline{RAS} , \overline{CAS} , \overline{WE}) およびアドレス信号 ($A0 \sim Ak$) により設定されるが、チップの製造段階でマスクにより作り分けしたり、レーザーフュース等によりプログラミングしたり、或いは、ワイヤーボンディングの違いにより設定を変えたりすることも可能である。

【0019】比較器12は、リフレッシュアドレスカウンタ7で発生したリフレッシュアドレスADDR1とリフレッシュアドレスレジスタ61の内容 (セルフリフレッシュの対象となるメモリセルのアドレスの最小値および最大値) を比較し、一致したら (セルフリフレッシュ対象アドレスであることを検出した) その出力信号CMPを高レベル『H』とするもので、セルフリフレッシュモード時にはセルフリフレッシュ制御信号SR2によりアクティブ状態となってアドレスの比較を行い、セルフリフレッシュモード時のそれ以外の場合は出力CMPを低レベル『L』に固定するようになっている。

【0020】図3は図2の半導体記憶装置におけるセルフリフレッシュ動作を説明するための図である。図3に示されるように、比較器12は、リフレッシュアドレスレジスタ61に保持されたセルフリフレッシュの対象となるメモリセルのアドレスの最小値Amおよび最大値Anをリフレッシュアドレスカウンタ7で発生したリフレッシュアドレスADDR1 ($A0 \sim Ak$) と比較し、一致するアドレス範囲Am \sim Anにおいて出力信号CMPを高レベル『H』としてセルフリフレッシュを行い、一致しないアドレス範囲A0 \sim Am-1およびAn+1 \sim Akでは出力信号CMPを低レベル『L』としてセルフリフレッシュを行わない。

【0021】すなわち、リフレッシュ制御回路4の出力であるリフレッシュ制御信号REF2は、ANDゲートの入力信号 (比較器12の出力信号) CMPが高レベル『H』のときにリフレッシュ制御信号REF1としてRAS系制御回路8およびセクタ10に供給され、リフレッシュアドレスレジスタ61に保持されたセルフリフレッシュの対象となるメモリセルのアドレス範囲Am \sim Anだけセルフリフレッシュを行うようになっている。

【0022】なお、アクティブ状態の場合は、図1を参照して説明した従来の半導体記憶装置と同様に、外部からのリフレッシュコマンド (AUTO REFRES

H)が入力されると、コマンドデコーダ2からリフレッシュコマンド信号AR1がリフレッシュ制御回路4に入力され、リフレッシュ制御回路4は、このリフレッシュコマンド信号AR1に基づいてリフレッシュ制御信号REF2を発生する。ここで、コマンドデコーダ2には、チップセレクト信号/CS、ロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CAS、および、ライトイネーブル信号/WEが入力され、また、CLKバッファ1には、クロックCLKおよびクロックイネーブル信号CKEが入力され、そして、アドレスバッファ3には、アドレス信号A0~Akが入力されている。なお、リフレッシュコマンド(AUTO REFRESH)は、例えば、クロックイネーブル信号CKEおよびロウアドレスストローブ信号/RAS等の組み合わせとして外部から与えられる。

【0023】リフレッシュアドレスカウンタ7は、リフレッシュ制御信号REF2が1回入力するとアドレスを1つカウントアップするカウンタとして構成され、リフレッシュ制御信号REF2が入る毎にリフレッシュアドレスADR1を自動的に発生する。また、リフレッシュ制御信号REF2はANDゲート13にも供給され、比較器12の出力CMPとの論理積を取ってRAS系制御回路8およびセクタ10にリフレッシュ制御信号REF1を供給するようになっている。ここで、比較器12の出力CMPは、セルフリフレッシュ時以外は、高レベル「H」に固定される。

【0024】また、パワーダウン状態の場合、アクティブ状態において外部からセルフリフレッシュコマンド(SELF REFRESH)が供給されると、コマンドデコーダ2がセルフリフレッシュコマンド信号SR1を発生してデバイスはパワーダウン状態となり、リフレッシュ制御回路104は、制御信号SR2により発振器(OSC)5を起動させ、発振器5が発生するクロック信号に基づいて、リフレッシュアドレスカウンタ7およびANDゲート13に供給されるリフレッシュ制御信号REF2を周期的に発生させる。

【0025】さらに、リフレッシュ制御信号REF1はセクタ10に供給され、該リフレッシュ制御信号REF1が入力されると、リフレッシュアドレスカウンタ7の出力であるリフレッシュアドレスADR1を選択し、また、それ以外の場合(リフレッシュ制御信号REF1が入力されない場合)には、アドレスバッファ3の出力である外部からのアドレスAD1を選択し、それぞれアドレスラッチ11に伝える。また、リフレッシュ制御信号REF1は、RAS系制御回路8にも供給され、アドレスラッチ11の出力により選択されたDRAMコア9のワード線に接続されたメモリセルに対してリフレッシュを行うようになっている。

【0026】本発明の第1実施例によれば、パワーダウン時のリフレッシュの対象となるメモリセルのアドレス

情報をリフレッシュアドレスレジスタ61に外部から設定することによって、セルフリフレッシュにおいては、リフレッシュアドレスレジスタ61で指定した範囲内のアドレスがリフレッシュアドレスカウンタ7から発生した場合だけ(データ保持の必要な領域だけ)をリフレッシュしてリフレッシュ動作の消費電力を低減することができる。

【0027】図4は本発明に係る半導体記憶装置の第2実施例を示すブロック図であり、図5は図4の半導体記憶装置におけるセルフリフレッシュ動作を説明するための図である。図4に示す本第2実施例は、前述した図2に示す第1実施例において常に動作していたリフレッシュアドレスカウンタ7(7a)の動作を制限してより一層の消費電力の低減を図ったものである。図4において、参照符号6aはモードレジスタ、61aはリフレッシュアドレスレジスタ、611はリフレッシュアドレスの最小値を格納するレジスタ、612はリフレッシュアドレスの最大値を格納するレジスタ、7aはリフレッシュアドレスカウンタ、12aは比較器、そして、121はORゲートを示している。

【0028】図4に示されるように、本第2実施例において、リフレッシュアドレスレジスタ61aに保持されたリフレッシュアドレスの最小値(611)は、そのままリフレッシュアドレスカウンタ7aに供給され、また、リフレッシュアドレスレジスタ61aに保持されたリフレッシュアドレスの最大値(612)は、比較器12aに供給されている。そして、比較器12aの出力信号CMPおよびリフレッシュ制御回路4の出力であるセルフリフレッシュ制御信号SR3は、ORゲート121により論理和が取られ、セット信号SETとしてリフレッシュアドレスカウンタ7aに供給される。

【0029】本第2実施例では、セルフリフレッシュモードに入ると、まず、セルフリフレッシュ制御信号(パルス信号)SR3が出力(1発生)され、ORゲート121を介してセット信号SETがリフレッシュアドレスカウンタ7aに入力され、リフレッシュアドレスレジスタ61aに保持されたリフレッシュアドレスの最小値(611:Am)がリフレッシュアドレスカウンタ7aに初期値としてセットされる。次いで、セルフリフレッシュが開始され、アドレスAmから順次リフレッシュ動作が行われる。そして、リフレッシュアドレスカウンタ7aの出力であるリフレッシュアドレスADR1がリフレッシュアドレスレジスタ61aに保持されたリフレッシュアドレスの最大値(612:An)に達すると、比較器12aが出力信号(パルス信号)CMPを出力(1発生)する。この信号CMPは、ORゲート121を介してセット信号SETとしてリフレッシュアドレスカウンタ7aに入力され、該リフレッシュアドレスレジスタ7aに初期値(Am)が再設定され、以後同様の動作を繰り返す。これにより、リフレッシュアドレスカウン

タ7aは、リフレッシュアドレスレジスタ61aに設定されたアドレス範囲(Am~An)内だけで動作することになる。

【0030】ここで、第2実施例では、リフレッシュアドレスレジスタ61aに対してセルフリフレッシュの対象となるメモリのアドレスの最小値Am(611)および最大値An(612)を保持するようにしているが、例えば、最小値Amだけ或いは最大値Anだけを保持するように構成してもよい。すなわち、リフレッシュアドレスレジスタ61aに対して最小値Am(611)だけを格納した場合には、アドレスAm~Akがセルフリフレッシュの対象となり、また、リフレッシュアドレスレジスタ61aに対して最大値An(612)だけを格納した場合には、アドレスAo~Anがセルフリフレッシュの対象になる。

【0031】なお、アクティブ状態でのリフレッシュ動作においては、セルフリフレッシュ制御信号SR3および比較器12aの出力信号CMPは出力されないため、リフレッシュアドレスカウンタ7aはDRAMコア9における全てのメモリセルをリフレッシュするアドレスを発生することになる。図6は本発明に係る半導体記憶装置の第3実施例を示すブロック図である。図6において、参照符号6bはモードレジスタ、61bはリフレッシュアドレスレジスタ、611はリフレッシュアドレスの最小値を格納するレジスタ、613はリフレッシュ回数を格納するレジスタ、12bは比較器、そして、122はカウンタを示している。

【0032】図6に示す本第3実施例では、前述した第1実施例および第2実施例におけるリフレッシュアドレスレジスタ61(61a)に保持するリフレッシュアドレスの最大値(612)の代わりにリフレッシュ回数(613)を格納するようにしたものである。すなわち、図6に示されるように、本第3実施例では、リフレッシュアドレスレジスタ61bには、リフレッシュアドレスの最小値(611:Am)とリフレッシュ回数(613)が格納されるようになっており、カウンタ122によりリフレッシュ回数(613)をカウントするようになっている。

【0033】すなわち、本第3実施例では、セルフリフレッシュモードにおいて、リフレッシュアドレスカウンタ7aは、カウントアップを行ってリフレッシュアドレスADR1を発生し、また、比較器12bは、リフレッシュアドレスADR1とリフレッシュアドレスの最小値(611:Am)とを比較し、一致したら出力信号CMPを発生する。カウンタ122は、信号CMPを受けて高レベル「H」の出力信号C1を発生すると共に、リフレッシュ制御回路4の出力であるリフレッシュ制御信号REF2の発生回数のカウントを開始し、リフレッシュアドレスレジスタ61bの回数情報(613)と一致したら、信号C1を低レベル「L」に下げる。これによ

り、信号C1が高レベル「H」となる期間だけ、信号REF2がリフレッシュ制御信号REF1としてRAS系制御回路8およびセクタ10に供給されることになる。なお、他の構成は、図2の第1実施例と同様でありその説明は省略する。

【0034】なお、リフレッシュアドレスレジスタ61bに対しては、リフレッシュアドレスの最小値(611)の代わりに最大値を格納するように構成し、そのリフレッシュアドレスの最大値から所定のリフレッシュ回数(613)だけセルフリフレッシュを行うように構成することもできる。図7は本発明に係る半導体記憶装置の第4実施例を示すブロック図である。この図7に示す第4実施例では、モードレジスタ6cのリフレッシュアドレスレジスタ61cに対してリフレッシュ対象となるDRAMコア9におけるブロックアドレスを格納するようになっている。

【0035】例えば、DRAMコア9が複数のメモリセルブロックから構成されているとき、このDRAMコア9の一部のメモリセルブロックだけをセルフリフレッシュするのに有効なものである。そして、リフレッシュアドレスレジスタ61cには、セルフリフレッシュの対象となるブロック選択アドレスが格納され、また、リフレッシュアドレスカウンタ7bは、ブロック選択に使用される上位ビットHBとブロック内でのワード線選択に用いる下位ビットLBに分けて出力するようになっている。

【0036】すなわち、セクタ14は、リフレッシュ制御回路4からのセルフリフレッシュ制御信号SR2により、セルフリフレッシュモードではリフレッシュアドレスレジスタ61cのブロック選択アドレスを選択してセクタ10に供給し、それ以外ではリフレッシュアドレスカウンタ7bの上位ビットHBを選択してセクタ10に供給するようになっている。

【0037】ここで、前述した本発明の第1実施例〜第4実施例では、セルフリフレッシュの対象となるメモリの個数はリフレッシュアドレスレジスタ61(61a, 61b, 61c)の設定により可変である。すなわち、第1実施例および第2実施例では、最小値および最大値の設定により変えることができ、また、第3実施例では、回数を変更すればよく、そして、第4実施例では、リフレッシュ対象ブロックアドレスを複数設定できるようにしておけばよい。

【0038】さらに、セルフリフレッシュの対象となる各メモリセルは、所定の時間内に1回のリフレッシュを行う必要があるが、第1実施例および第3実施例ではリフレッシュアドレスカウンタ7aがセルフリフレッシュモードにおいて所定の時間内に一周するように発振器5を設計しておけばよいが、第2実施例および第4実施例ではセルフリフレッシュの対象となるメモリセルの数が増加すれば特定のメモリセルに対してセルフリフレッシュ

の実施される時間間隔が長くなってしまふ。そこで、セルフリフレッシュの対象となるメモリセルの数が増加した場合にはリフレッシュ制御信号 R E F 1 の発生頻度を増加させる（セルフリフレッシュの対象となるメモリセルの数が減少した場合にはリフレッシュ制御信号 R E F 1 の発生頻度を低減させる）必要がある。これに対応した実施例（第5実施例）が図8に示すものである。

【0039】図8は本発明に係る半導体記憶装置の第5実施例を示すブロック図であり、参照符号51は分周器を示している。図8に示されるように、本第5実施例では、発振器5の出力を分周器51で分周してリフレッシュ制御回路4に供給するようになっている。リフレッシュアドレスレジスタ61cにはセルフリフレッシュの対象となるメモリセルブロックの個数の情報が格納されており、これに応じて分周器51の分周率を変更するようになっている。具体的に、例えば、セルフリフレッシュの対象となるメモリセルブロック数が4個、2個および1個の場合、分周器51の出力（周波数）は、メモリセルブロック数が4個の場合のを基準（1倍）とすると、メモリセルブロック数が2個および1個のときそれぞれ基準周波数の1/2倍および1/4倍となるようにする。これによりリフレッシュアドレスカウンタ7等を必要最小限の周波数で駆動することによりより一層消費電力を低減することが可能になる。

【0040】以上の説明は、半導体記憶装置としてDRAM（SDRAM）を例として説明したが、本発明は、例えば、シンクリンクDRAMやラムバスDRAM（RDRAM）等のメモリセルの記憶保持のために定期的なリフレッシュ動作を必要とする他の様々な半導体記憶装置に対しても適用することができる。

【0041】

【発明の効果】以上、詳述したように、本発明によれば、データを保持する必要な領域だけをリフレッシュすることにより、リフレッシュ動作の消費電力を低減し、パワーダウン状態における消費電力を大幅に削減することが可能な半導体記憶装置を提供することができる。

【図面の簡単な説明】

【図1】従来の半導体記憶装置の一例を示すブロック図である。

【図2】本発明に係る半導体記憶装置の第1実施例を示すブロック図である。

【図3】図2の半導体記憶装置におけるセルフリフレッシュ動作を説明するための図である。

【図4】本発明に係る半導体記憶装置の第2実施例を示すブロック図である。

【図5】図4の半導体記憶装置におけるセルフリフレッシュ動作を説明するための図である。

【図6】本発明に係る半導体記憶装置の第3実施例を示すブロック図である。

【図7】本発明に係る半導体記憶装置の第4実施例を示すブロック図である。

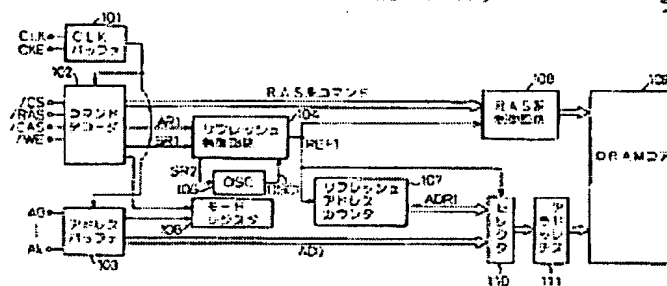
【図8】本発明に係る半導体記憶装置の第5実施例を示すブロック図である。

【符号の説明】

- 1…クロックバッファ（CLKバッファ）
- 2…コマンドデコーダ
- 3…アドレスバッファ
- 4…リフレッシュ制御回路
- 5…発振器（OSC）
- 6, 6a, 6b, 6c, 6d…モードレジスタ
- 7, 7a, 7b…リフレッシュアドレスカウンタ
- 8…RAS系制御回路
- 9…DRAMコア
- 10, 14…セクタ
- 11…アドレスラッチ
- 12, 12a, 12b…比較器
- 13…ANDゲート
- 51…分周器
- 61, 61a, 61b, 61c, 61d…リフレッシュアドレスレジスタ
- 121…ORゲート
- 122…カウンタ

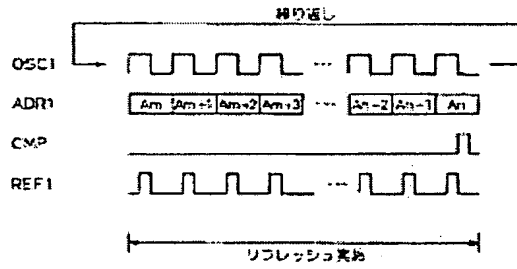
【図1】

従来の半導体記憶装置の一例を示すブロック図



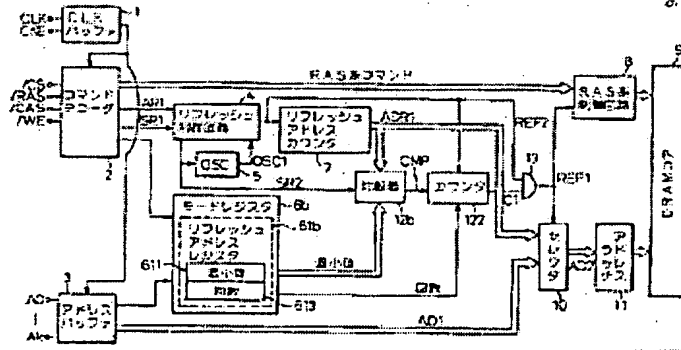
【図5】

図4の半導体記憶装置におけるセルフリフレッシュ動作を説明するための図



【図6】

半導体記憶装置の第1半周動作を示すブロック図



本邦初に於ては、異性結婚は舊の法に於て未だ成立せず、フツツに



本誌特別企画「新編 日本経済史」の巻5「高度成長期」の巻頭記事

